

# 素子の特性バラツキを補正した FPGA 向けタイミング検証手法の開発

○岡部 忠<sup>\*1)</sup>、志水 匠<sup>\*2)</sup>、武田 有志<sup>\*3)</sup>、藤原 康平<sup>\*2)</sup>、小林 丈士<sup>\*2)</sup>

## 1. はじめに

半導体プロセスの微細化に伴い、電子デバイスを構成する素子の特性バラツキによる歩留まり低下が無視できない。これまでは生産性を向上させるため、素子の特性バラツキを抑えることに主眼が置かれてきた。しかしながら、素子の特性バラツキを抑えることとは異なり、素子の特性バラツキをセキュリティ用途として利用するという技術が提案されている。特性バラツキの応用技術を開発するに当たり、FPGA (Field Programmable Gate Array) ベンダーからの情報提供の不足や、バラツキ応用向けのツールが整備されておらず、多大な開発コストを要している。本研究ではこの点を改善するために、FPGA 向けにバラツキを補正したタイミング検証手法を提案する。本提案手法を用いることで開発が容易になり、本提案手法が素子の特性バラツキを利用した新たなアプリケーション創出の手助けになることが期待できる。

## 2. 提案手法の説明

本研究では、次の (1) ~ (2) の手順で FPGA の内部論理素子の特性バラツキの統計分布を取得した。そして、各素子の特性バラツキの統計分布を用いて、(3) のタイミング検証を行う手法を提案する。

- (1) 特性バラツキの計測：単一の外部入力信号を評価対象 LUT (Look Up Table) に入力し、外部出力信号とする図 1 の径路①および LUT を介さない径路②との出力信号の遷移タイミングの差をオシロスコープで計測する。
- (2) 統計解析：複数の LUT および複数のサンプルデバイスに対し上記 (1) を行い、得られた結果を統計解析し素子の特性バラツキを取得する (図 2)。
- (3) バラツキ補正タイミング検証：上記 (2) の解析結果から、素子の遅延情報に各素子の遅延バラツキを追加し、タイミング検証を実行する。

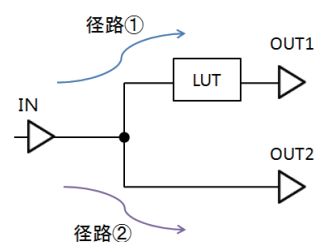


図 1. 遅延量測定デザイン

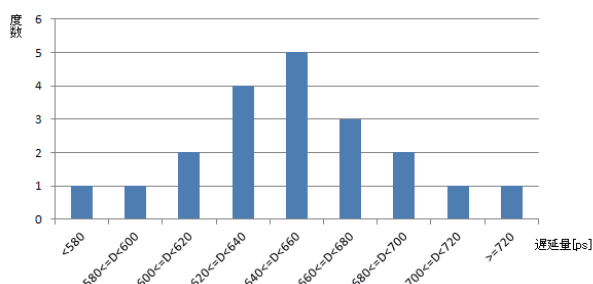


図 2. 単一 LUT の遅延量の度数分布の一例

## 3. 結果・考察

上述の提案手法でタイミング検証を行った。シミュレーション波形の目視確認を行い、特性バラツキが各 LUT に割り当てられていることが確認できた。提案手法では、外部条件として PVT (Process, Voltage, Temperature) を考慮したシミュレーションを行うことができるが十分な精度とはいえない。素子バラツキを応用する際には電圧や温度変化を詳細に模擬することが必須であるため、今後はこの点を改善する必要がある。

## 4. まとめ

本研究では FPGA の内部素子の特性バラツキを測定し、特性バラツキを利用したタイミング検証手法を提案した。提案手法が特性バラツキの応用に寄与するものと期待する。

\*1)情報技術グループ、\*2)電子半導体技術グループ、\*3)生活技術開発セクター