

# FPGA/SoC による組込み RTOS タスクトレーサ IP の開発

○武田 有志<sup>\*1)</sup>、岡部 忠<sup>\*1)</sup>、仲村 将司<sup>\*1)</sup>、佐藤 研<sup>\*2)</sup>

## 1. はじめに

近年の組込みシステムでは、Ethernet や USB 等の通信処理に対して RTOS (Real-Time OS) を利用した開発が行われている。タスク実行の把握にはタスクトレースが有用であり、その実現には OS のサービスコールに対するソフト的なフックが数多く見られる。しかし、この方法では、フック挿入/除去によって実行時間が変化するため、時間制約の厳しい通信システムの検証には不向きである。また、FPGA/SoC ではマルチコア化が進められており、FPGA/SoC+RTOS 環境下での膨大なトレースデータを抑える仕組みが今後不可欠になると予想される。そこで、本研究では、これらを解決するトレーサ IP を開発した。

## 2. トレーサ IP の構成

図 1 は、トレーサ IP の構成を示している。Altera 社の汎用バス Avalon Bus には複数コア (NiosII/e) が接続されており、他方でコアのアドレス/データバスにはトレーサ IP が接続されている。トレーサ IP は、バススヌーピング方式を採用しており、コアに対してトレース処理の負荷がかからないように構成されている。

トレーサ IP は、コア各々に対する複数タップと 1 つのマスタ、そして、トレースデータを送信する USB2.0 通信 I/F から成る。タップではコアが TCB (Task Control Block) にアクセスした際をトリガとしてトレースデータを取得する。マスタでは取得された前回データと新データとの差分を取り、すべて 0 もしくは 1 となる上位データを送信しないことでデータ圧縮を実現する (図 2)。

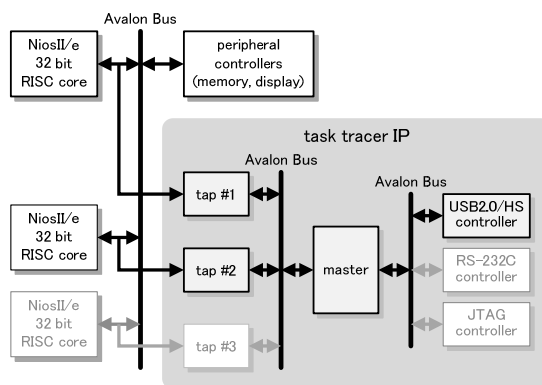


図 1 トレーサ IP の構成

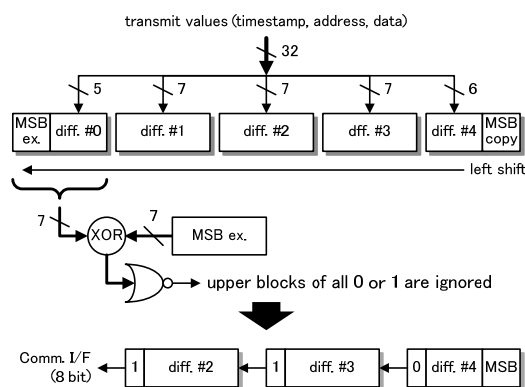


図 2 トレースデータの圧縮

## 3. 結果・考察

対応可能なコア数についてデータ量とハードウェア量で評価する。タスク遷移間における最大のトレース数は、87.3 トレース/msec であった。1 トレースは 16 バイトで構成されており、転送速度は 1 コア当たり 11.2 Mbps 必要である。今回使用した USB2.0 チップ (FT2232H) は最大 220Mbps であることから、19.6 コアまで対応できる。さらに図 2 の圧縮を有効にすると、データ量は 45.2%削減された。図 3 はハードウェア使用量を示しており、20k LE の回路規模を有する FPGA では、4 コアまで対応できる。

## 4. まとめ

本 IP は、マルチコア対応かつコア負荷がゼロであることを特徴とする。今後、組込みシステムは高信頼化が求められると予想される。本 IP は、こうした分野への導入が期待される。

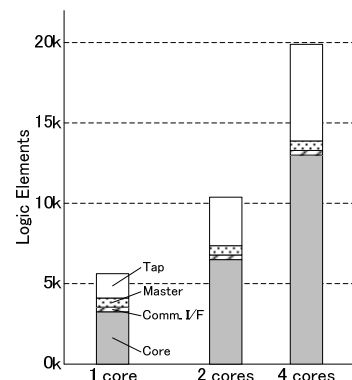


図 3 コアに対するハードウェア使用量

\*1) 情報技術グループ、\*2) 電子・機械グループ