

非同期式设计によるFPGA向け低消費電力設計手法

FPGA*1を使用したSoC*2製品が多数開発されてきています。しかし、FPGAは「消費電力が大きい」という先入観から、要求仕様に「消費電力」がある場合、使用を断念することが多いようです。

非同期式设计技術を使うと消費電力を容易に削減でき、FPGAが消費電力を最優先で考慮したデバイス選定の候補とすることも可能となります。

- *1 Field Programmable Gate Array
- *2 System on a Chip

FPGA とは

FPGA は内部回路を何度も再構成できる半導体デバイスです。電子機器の基板上にあるCPU、メモリやインターフェース等の周辺回路まで含めたシステム全体を1つのデバイス上に実装することを SoC と呼んでいます。そのSoCの開発が低コストで実現できるという利点から、最近では様々な電子機器の基盤デバイスとしてFPGAが採用されています。

デジタル回路の設計手法

FPGA 向けに限らず、デジタル回路を設計する方法には次の2つがあります。

①同期式设计

同期式设计は、図1のように各FF (FlipFlop) 間のデータ転送を、リファレンスとなるクロック信号の遷移タイミングで規定しデータ送受信のタイミングをとる手法です。

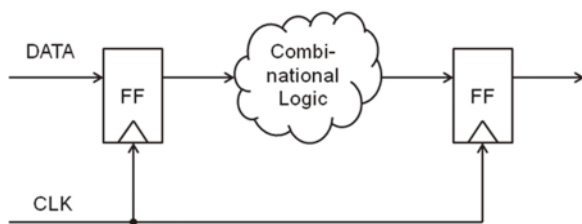


図1 同期式设计

②非同期式设计

非同期式设计は、図2のようにリファレンスとなるクロック信号が存在せず、各FF間のデータの送受信はハンドシェイク信号 (REQ、ACK) により行われます。

非同期式设计の利点として、クロックレスのため消費電力削減が可能、不要電磁輻射が少ない、半導体素子の製造バラつき耐性がある等の諸点が挙げられます。しかし、現状では設計ツールを含めた開発環境全般が同期式设计向けとなっているため、同期式设计によるデジタル回路設計が主流です。また、FPGA 自体にも、同期式设计が推奨されています。

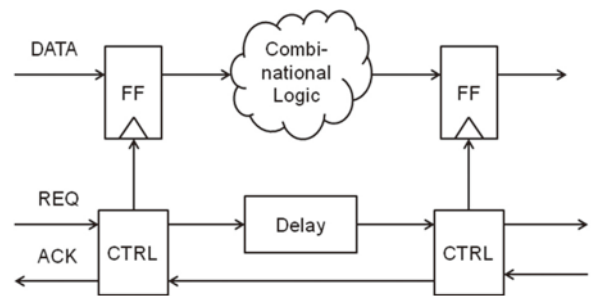


図2 非同期式设计

このように、FPGA を使った場合のデジタル回路設計手法は自ずと同期式になりますが、FPGAに限らず、同期式设计には消費電力の点で非同期式设计に劣るという報告が多数あります。そこで、本稿ではFPGA向けの非同期式设计手法と非同期式设计によるデジタル回路の低消費電力設計を同期式设计向けデバイスであるFPGAに対して行った事例を紹介します。

束データ方式による非同期式设计手法

リファレンスとなるクロック信号を使わない非同期式设计では、これまでに様々な方式が提案されています。ここでは、束データ方式による非同期式设计を概説し、この設計手法を用いた場合のIP (Intellectual Property) コアの性能について紹介します。

次の3点の理由から、束データ方式をとりあげました。

- ・同期式設計と比較的構造が似ている
- ・遅延調整が簡便
- ・リソース使用率が低い

以上の理由から、同期式設計向けデバイスである FPGA への実装を想定した場合、この方式が最も適した非同期式設計手法であると考えられます。

束データ方式では、REQとACKというハンドシェイク信号の相互関係により有効データの取り込みをFFに通知し、データ転送を行います(図3)。

図4のブロック図の破線内を単一のクロック信号で置換すると同期式設計と同じ回路構造となり、同期式設計されたIPコアを非同期式に変換する際に変換が容易になります。

図4の三角形の回路が遅延素子です。この遅延素子は、FF間にある組み合わせ回路のセル遅延と配線の伝搬遅延を考慮し、次段のFFがタイミング違反なしにデータを受け取れるだけの遅延量を付加するために使用しています。

また、図4でCが記された回路素子は「マラーのC素子」と呼ばれ、非同期式設計において重要な役割を担う制御向け回路となります。

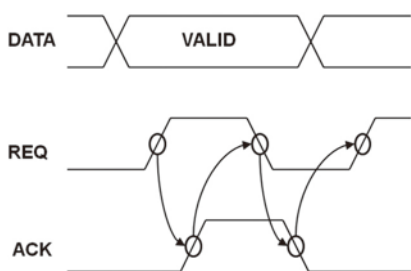


図3 束データ方式の転送プロトコル

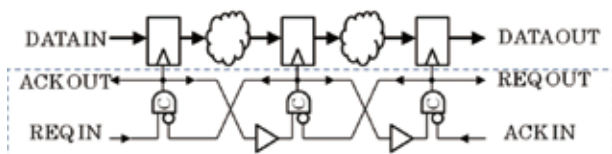


図4 束データ方式のブロック図

非同期式設計を使った回路の試作

前述の束データ方式による非同期式設計を用いて32ビット正整数除算器を試作し、Xilinx社製FPGAのSpartan3ANに実装し性能評価を行いました。同期式設計と非同期式設計で試作された除算器の性能比較結果は表1の通りです。

表1 同期/非同期式除算器の性能比較表¹⁾

設計手法	消費電力 [mW]	処理時間 [ns]	回路規模 [LUT 個数]
非同期	0.73	240	1,362
同期	3.85	320	918

非同期式設計では、ハンドシェイクと遅延補償の回路を必要とするため同期式設計と比べて回路規模が大きくなりますが、処理速度の向上と消費電力削減の両立が可能であるといえます。

同期式設計に対する非同期式設計の優位性を示した先行研究は多数ありますが、FPGAへの実装を想定したものや製品化事例はそれほど多くありません。しかし、回路規模の増大というデメリットがあっても処理性能の向上と消費電力の削減が両立できるため、今後は非同期式設計が注目されていくことになると考えられます。

都産技研での取り組み

情報技術グループでは、非同期式設計を用いたFPGAの低消費電力化に関する研究を行っています。またFPGAを用いた開発支援、応用研究、技術相談や講習会等も行っています。FPGAに限らず、一般的な電子機器システムの低消費電力化についても対応しています。

参考文献

1) 岡部、「非同期式設計によるFPGA向け省電力化手法」、第14回FPGAカンファレンス2011予稿集

開発本部開発第一部 情報技術グループ<本部>

岡部 忠 TEL 03-5530-2540
E-mail:okabe.tadashi@iri-tokyo.jp